

实验报告**√** 实践报告□

课程名称： 计算机系统基础

实验、实践名称：实验1 基于Proteus的运算器仿真

实验、实践地点： 行逸楼A104

专业班级： 软件2106 学号： 2021005276

学生姓名： 刘骐睿

指导教师： 武淑红

2023年 4 月 9 日

|  |
| --- |
| 实验1 基于Proteus的运算器仿真 |
| **一、实验目的和要求**  1.熟悉Proteus虚拟仿真软件的工作环境，掌握Proteus基本工具的使用方法。  2.理解简单运算器的组成以及数据传送通路。  3.验证算术逻辑运算器（74LS181）的算术运算和逻辑运算功能。 |
| **二、实验内容和原理**  运算器的运算思想及集成运算器74LS181运算功能。   1. 运算器概述   运算器是计算机进行数据处理的核心部件，它主要由算术逻辑运算部件（ALU）、累加器、暂存寄存器、通用寄存器堆、移位寄存器、进位移位控制电路及其结果判断电路等组成。  运算方法的基本思想是将各种复杂的运算处理分解为四则运用和基本的逻辑运算，而四则运算的核心是加法运算，通过补码运算可以化减为加，加、减运算与移位运算配合可实现乘除运算、阶码运算与尾数的运算组合可实现浮点运算。   1. 算术逻辑运算集成芯片74LS181   图1.1 74LS181引脚排列  集成逻辑芯片74LS181是一个4位ALU单元，其引脚如图1.1所示。  ⑴ M：运算模式设置  取值为0时，算术运算，取值为1，逻辑运算。  ⑵ S3S2S1S0：运算功能设置  S3S2S1S0分别取0000~1111的编码值，实现16种算术运算和16种逻辑运算。其功能真值表如图1.2所示。  1.2 74LS181功能真值表  ⑶ A3A2A1A0和B3B2B1B0：两组4位数码输入端  ⑷ CN：低位进位输入  ⑸ F3F2F1F0：4位数码输出  ⑹ CN+4：向高位进位输出   1. 实验系统的构成   实验系统由算术逻辑单元74LS181、暂存器芯片74LS273、三态门74LS244和一些控制部件组成。  ⑴ 2片74LS181级联构成8位算术逻辑运算部件，如图1.3所示。  1613795447(1)  图1.3 位算术逻辑单元  ⑵ 3片74LS273用于数据暂存，其中2片作为两个8位数据暂存（REG\_A和REG\_B），1片用于标志位的暂存(U4)。74LS273的引脚排列如图1.4所示。  图1.4 74LS273引脚排列  ①D7~D0：8位数据输入  ②Q7~Q0：8位数据输出  ③MR：清零。MR=0时，输出全0。  ④CLK：数据锁存控制端。当MR=1且CLK由0变1时，数据  输入锁存器中，即Q=D。  ⑶ 74LS244为三态控制门，其引脚排列及功能表如图1.5所示。   |  |  | | --- | --- | | 输入  OE A | 输出  Y | | L L | L | | L H | H | | H X | 高阻 |   图1.5 74LS244引脚排列及功能真值表  图1.6 拨码电路  ⑷数码输入及控制部件  ①RP1和DSW1构成8位拨码电路，如图1.6所示。分别单击拨码开关可设置加载在DIN总线上的8位数码。例如该图中设置的拨码值为10001011B，即8BH。  ②单刀双置开关构成控制信号产生电路，如图1.7所示。各开关的设置功能如下：   * ALU\_BUS:用于设置接在ALU输出线和数据总线BUS之间的   图1.7 控制信号产生电路  三态门的使能信号，低电平使能有效。   * RA\_CLK和RB\_CLK:用于设置数据寄存器REG\_A和REG\_B   的锁存控制信号，由0变1时，锁存数据。   * SW\_BUS:用于设置拨码电路输出总线DIN和数据总线BUS之间   的三态门的使能信号，低电平使能有效。   * ALU\_EN:用于设置三态门U2:A和U2:B上的使能信号，低   电平使能有效。   * ALU\_M:用于设置ALU的运算模式，低电平时进行算术运   算，高电平时，进行逻辑运算。   * ALU\_CN：用于设置ALU来自低位的进位信号。 * ALU\_S3~ALU\_S0:用于设置ALU的运算功能。 |
| **三、主要仪器设备**  1．硬件：计算机  2．软件：Proteus 8.4虚拟仿真软件 |
| **四、操作方法与实验步骤**   1. 组成加、减法运算，并验证其功能   实验步骤：  ①控制信号初始化：启动运算器实验程序，ALU\_BUS置于1； SW\_BUS置于1；ALU\_EN 置于0；RA\_CLK和RB\_CLK置于0。启动仿真。  ②设置数据寄存器REG\_A和REG\_B中的数码：SW\_BUS置于0，按照表1.1的输入要求分别设置数据寄存器REG\_A和REG\_B中的数据。设置方法是先在拨码电路设置数据，例如00001001B。再单击锁存开关，使之由0变1锁存数据，例如单击RA\_CLK，可以看到寄存器REG\_A中已经有了设置好的输出数据。  ③设置ALU的运算方式：SW\_BUS置于1。参照图1.2所示的功能设置M、ALU\_S3~ALU\_S0的取值，实现相关的算术运算。将ALU\_BUS置于0，观察数码显示，将功能设置即显示结果记录于表1.1中。（特别提醒：一定要先给寄存器置数，再将ALU\_BUS置于0，这样符号位才能正确显示）。   1. 组成与、或、异或运算，并验证其功能   实验步骤：  ①控制信号初始化：ALU\_BUS置于1；SW\_BUS置于1；ALU\_EN 置于0；RA\_CLK和RB\_CLK置于0。  ②设置数据寄存器REG\_A和REG\_B中的数码：SW\_BUS置于0，按照表1.2的输入要求分别设置数据寄存器REG\_A和REG\_B中的数据。  ③设置ALU的运算方式：SW\_BUS置于1。参照图1.2所示的功能设置M、ALU\_S3~ALU\_S0的取值，实现相关的逻辑运算。将ALU\_BUS置于0，观察数码显示，将功能设置即显示结果记录于表1.2中。 |
| 1. **实验数据记录和处理**  |  |  |  |  |  |  |  |  |  |  |  | | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | | 表1.1 用74LS181实现算术运算数据记录 | | | | | | | | | | | | 运算 | 运算输入 | | 控制信号设置 | | | 输出 | | | | | | A | B | M | CN | S3 S2 S1 S0 | 理论 | 显示 | SF | ZF | CF | | A加1 | 09H | X | 0 | 0 | 0000 | 0AH | 0AH | 0 | 0 | 0 | | FFH | X | 0 | 0 | 0000 | 00H | 00H | 0 | 1 | 1 | | A加B | 09H | 21H | 0 | 1 | 1001 | 2AH | 2AH | 0 | 0 | 0 | | FFH | 01H | 0 | 1 | 1001 | 00H | 00H | 0 | 1 | 1 | | A减1 | 09H | X | 0 | 1 | 1111 | 08H | 08H | 0 | 0 | 0 | | 00H | X | 0 | 1 | 1111 | FFH | FFH | 1 | 0 | 1 | | A减B | 09H | 21H | 0 | 0 | 0110 | E8H | E8H | 1 | 0 | 1 | | FFH | 01H | 0 | 0 | 0110 | FEH | FEH | 1 | 0 | 0 |  1. .A加1      1. .A加B:      1. .A减1      1. .A减B:      |  |  |  |  |  |  |  |  | | --- | --- | --- | --- | --- | --- | --- | --- | | 表1.2 用74LS181实现逻辑运算数据记录 | | | | | | | | | 运算 | 运算输入 | | 控制信号设置 | | | 输出 | | | A | B | M | CN | S3 S2 S1 S0 | 理论 | 显示 | | AB | 09H | 21H | 1 | X | 1011 | 01H | 01H | | FFH | 01H | 1 | X | 1011 | 01H | 01H | | A+B | 09H | 21H | 1 | X | 1110 | 29H | 29H | | FFH | 01H | 1 | X | 1110 | FFH | FFH | | A1613918215(1) B | 09H | 21H | 1 | X | 0110 | 28H | 28H | | FFH | 01H | 1 | X | 0110 | FEH | FEH |  1. .AB:      1. .A+B:      1. A1613918215(1) B |
| **六、实验结果与分析**  仿真结果正确 |
| **七、讨论、心得**  进行本次实验操作时，实验器件多，连线复杂，多次出现了漏连线、漏标线等情况，而且，哪怕连线完成、实验图做好后，依然不了解这个图的用途及原理。之后，本人通过查阅资料、同学讨论、观看学习视频等等方式，对本次实验有了大概的理解，同时，本次实验步骤复杂，稍不留意就容易前功尽弃，需要我们在做实验时谨慎再谨慎。 |